

一种采用新型逻辑算法的 SAR ADC

黄添益^{1,2,4}, 王本艳³, 景蔚亮³, 宋志棠^{1,2,4}, 陈邦明^{1,2,4}

(1 中国科学院 上海微系统与信息技术研究所 信息功能材料国家重点实验室, 上海 200050;

2 上海科技大学 物质科学与技术学院, 上海 201210;

3 上海新储集成电路有限公司, 上海 201500; 4 中国科学院大学, 北京 100049)

摘 要: 基于 SMIC 40nm CMOS 工艺, 设计了一种 12 位逐次逼近寄存器式模数转换器(SAR ADC). 在正常工作模式的基础上, 增加了当模拟输入信号变化缓慢时, 锁定前 4 位, 仅转换后 8 位的工作模式, 降低了 ADC 的功耗, 提高了 ADC 的采样率, 同时分辨率保持不变. 当模拟输入信号变化较大时, ADC 又可重新回到正常工作模式. 在 1.1 V 的电源电压, 3.6 MS/s 的采样率下, ADC 总功耗为 43 μ W, 品质因数 FOM 为 10.1fJ/(conv. $\cdot$ step).

关键词: 逐次逼近寄存器式模数转换器; 新型 SAR 逻辑; 锁定 ADC 前几位; 低功耗 ADC

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)07-0035-06

An SAR ADC Using A New Type of Logical Algorithm

HUANG Tian-yi^{1,2,4}, WANG Ben-yan³, JING Wei-liang³,

SONG Zhi-tang^{1,2,4}, CHEN Bang-ming^{1,2,4}

(1 State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Micro-system and Information Technology, Shanghai 200050, China; 2 School of Physical Science and Technology, Shanghai Tech University, Shanghai 201210, China; 3 Shanghai Xinchu Integrated Circuit Inc., Shanghai 201500, China;

4 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A 12-bit successive-approximation-register analog-to-digital converter (SAR ADC) was designed in SMIC 40nm CMOS process. Base on traditional SAR logic, add an algorithm of when analog input signal changes slowly, ADC locking its first 4 bits, and only do last 8 conversions. And when analog input signal has great change, ADC returns to normal working mode. It decreases power consumption and increase sampling rate of ADC, but doesn't change resolution of ADC. Under a 1.1V supply and 3.6 MS/s sampling rate, the total power consumption of ADC is 43 μ W, and the FOM is 10.1fJ/(conv. $\cdot$ step).

Key words: SAR ADC; new type of SAR logic; lock the first few bits of ADC; low power consumption ADC

1 引言

SAR ADC(Successive Approximation Register Analog-to-Digital Converter, 逐次逼近寄存器型模数转换器)是中高精度场景下常用的 ADC, 其最主要的性能参数有功耗、速度、精度, 然而, 这 3 个指标之间往往是相互矛盾的, 例如在提高速度的同时, 就很难保证功耗、精度等其他指标, 提高了精度, 则功

耗、速度又很难保证等等^[1-2]. 为了解决上述问题, 本文提出了一种应用于 SAR ADC 的提高速度、降低功耗的逻辑算法, 并基于 SMIC 40 nm CMOS 工艺设计了一种应用此算法的 12 位 SAR ADC. 该 SAR ADC 由 CDAC(电容式数模转换器, 包括电容阵列和采样保持电路)、SAR 逻辑电路、比较器三部分组成, 其中 SAR 逻辑部分在传统逐次逼近算法基础上, 增加了当模拟输入信号变化不大时, SAR 寄存

器的前 4 位锁定,仅比较后 8 位的算法,这样在不降低 SAR ADC 分辨率的前提下,减少了 4 次比较的时间,相当于提升了采样速率,同时,由于前 4 位电容的充放电次数减少,以及比较器工作次数的减少也降低了功耗.更重要的是,这种逻辑算法可以适用于其它 SAR ADC,不会与其它降低功耗,或者提高采样速率的方法冲突.

2 各部分电路设计与总体系统结构

2.1 数字逻辑部分

传统电容式 SAR ADC 的逻辑如下:

- (1)模拟输入电压 V_{input} 由采样/保持电路采样并保持.为实现二进制搜索算法, N 位寄存器首先设置在中间刻度(即:100...00,最高位 MSB 设置为 1).这样,DAC 输出(V_{DAC})被设为 $V_{REF}/2$ (即给第一个电容充电), V_{REF} 是提供给 ADC 的基准电压.
- (2)比较判断 V_{input} 是小于还是大于 V_{DAC} .如果 V_{input} 大于 V_{DAC} ,则比较器输出逻辑高电平或 1, N 位寄存器的 MSB 位保持为 1;相反,如果 V_{input} 小于 V_{DAC} ,则比较器输出逻辑低电平或 0(即给第一个电容放电), N 位寄存器的 MSB 位清 0.
- (3)SAR 控制逻辑移至下一位,并将该位设置为高电平,进行下一次比较,决定当前位的逻辑电平.

(4)重复(1)到(3)直到最低位转换完成^[4].

在上述转换过程中,当进行一位比较时,电路先要对那一位电容进行充电,再进行比较,若输入电压小于 DAC 的电压时,这一位的电容又要被放电,这样这一位电容的充电放电的能量相当于都被浪费了.在很多 SAR ADC 的应用场景中,如用做测量室内外温度,SAR ADC 的模拟输入信号是缓慢变化的,甚至很长时间都是不变的,在这种情况下,如将 SAR ADC 的前几位锁定,使其不参与比较,而仅比较后面几位,不仅可以提高其采样速率,而且可以降低电容阵列、比较器、逻辑电路的功耗,同时,当模拟输入信号发生较大变化时,SAR ADC 又可回复到常规的转换模式.文献[3]提出了一种带有固定窗口的 SAR ADC,当模拟输入落在所设窗口内时,SAR ADC 可以跳过前几位比较,降低了功耗,提升了速度.本文与文献[3]的区别在于,首先,文献[3]中的窗口是固定的,而本文的锁定的前几位是可以变化的,其次,文献[3]中的 SAR ADC 需要增加一个“time-level decision circuit”,大大增加了电路的复杂性,而本文的 SAR ADC 只需对传统 SAR 逻辑做一些修改即可.

如表 1 所示,为不同锁定位数对性能影响的比较.

表 1 不同锁定位数对 ADC 性能影响

锁定位数	1	2	4	6	8	10
电容阵列功耗降低最大值/%	50.00	75.00	93.75	98.44	99.61	99.90
电容阵列功耗降低平均值/%	25.00	37.50	46.88	49.22	49.80	49.95
速度提升/%	6.67	13.33	26.67	40.00	53.33	66.67
未锁定位为全 0 或全 1 的概率/%	0.10	0.20	0.78	3.13	12.50	50.00
未锁定位最大变化量	VDD/2	VDD/4	VDD/16	VDD/64	VDD/256	VDD/1 024

其中“电容阵列功耗降低最大值”的计算方法为:对第 1 位电容充电所需功耗占总电容充电功耗的 1/2,以此类推,对第 n 位电容充电所需功耗就占占总电容充电功耗的 $1/2^n$,当锁定的前 n 位都为 0 时,就不需要像传统 SAR ADC 一样先对前 n 位充电,比较后再放电,而是直接不对前 n 位进行充电,此时就可节约 $(1/2 + 1/4 + \cdots + 1/2^n)$ 的电容阵列总功耗,例如锁定前 3 位,则最高可节约 $(1/2 + 1/4 + 1/8) = 87.5\%$ 的电容阵列总功耗.

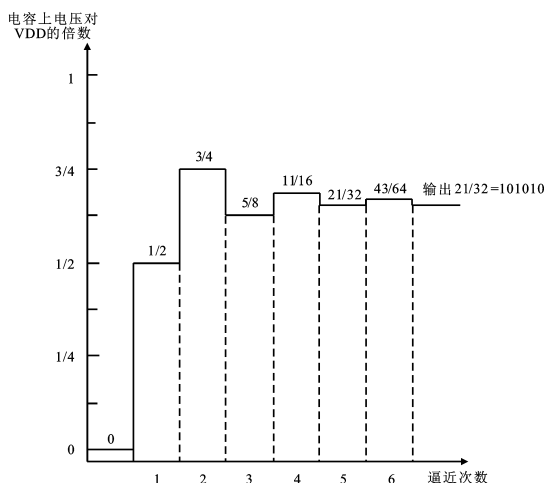
“电容阵列功耗降低平均值”的计算方法为:若考虑模拟输入信号在一定时间段内在整个 SAR ADC 可输入范围内随机分布,此时电容阵列功耗降低应为最大值的一半,为 $(1/2 + 1/4 + \cdots + 1/2^n)/2$

的电容阵列总功耗.

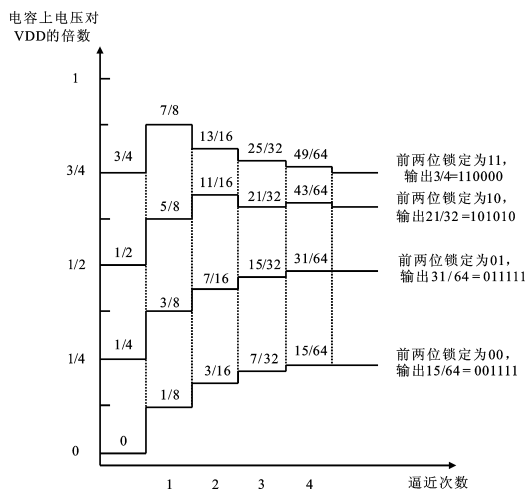
“速度提升”的计算方法为:假设一 12 位的 SAR ADC 一次转换周期需要 15 个时钟周期,则前 n 位锁定相当于少比较 n 次,也就相当于需要的时钟周期数减少 n 个,例如锁定前 5 位,则速度提升为 $(5/15) = 33.3\%$.

“未锁定位为全 0 或全 1 的概率”代表的意义为:当完成一个锁定前 n 位的转换周期后,需要判断锁定的前 n 位与模拟输入值所对应的正确数字输出值的前 n 位是否相同,可以通过所得未锁定位的数字输出值来判断.根据 SAR 逻辑,电容上的电压会逐次向输入的模拟电压逼近,当锁定的前 n 位与模拟输入值所对应的正确数字输出值的前 n 位不同

时,后 $m-n$ 位的输出只能是全 0 或者全 1. 如图 1 为一 6 位 SAR ADC 正常工作和锁定前 2 位工作的对比,可以看到当锁定位错误时,输出的未锁定位只能是全 1 或者全 0. 未锁定位为全 0 或全 1 的概率的计算方法为,假设输入模拟信号在整个 SAR ADC 可输入范围内随机分布,锁定前 n 位,则未锁定位为全 0 或全 1 的概率为 $2^{n+1}/2^m$.



(a) 正常工作模式完成一个周期



(b) 锁定前两位完成一个周期

图 1 6 位 SAR ADC 正常工作和锁定前 2 位工作对比图

“未锁定位最大变化量”代表的意义为:假设 SAR ADC 模拟输入电压的范围为 $0-V_{DD}$ (单端的情况下),则前 n 位锁定之后,后 $m-n$ 位(m 为 ADC 的分辨率)可使输出变化的范围最大为 $V_{DD}/2^n$. 该数值也是判断输入信号是否缓慢变化的依据,当锁定前 4 位时,输入信号在一个 $V_{DD}/16$ (单端的情况下)大小的区间内变化即为缓慢变化,此时数字输出量的前四位不变.

由表 1 可知,上述逻辑算法锁定的位数越多,功

耗下降的越多,速度提高的越多,但是转换后所得数字量的错误率越高,SAR ADC 在正常工作模式和锁定前几位的模式之间转换的就越频繁,未锁定位恰好为全 0 或全 1 所导致的逻辑误判概率也会提升. 经过分析比较,锁定 SAR ADC 前 4 位在速度、功耗以及锁定后转换的正确率上具有综合优势,因此下文将以锁定前 4 位为基础设计电路进行实验分析.

如图 2 所示,为本文可锁定前 4 位的 12 位 SAR ADC 的工作流程图,其详细工作步骤如下.

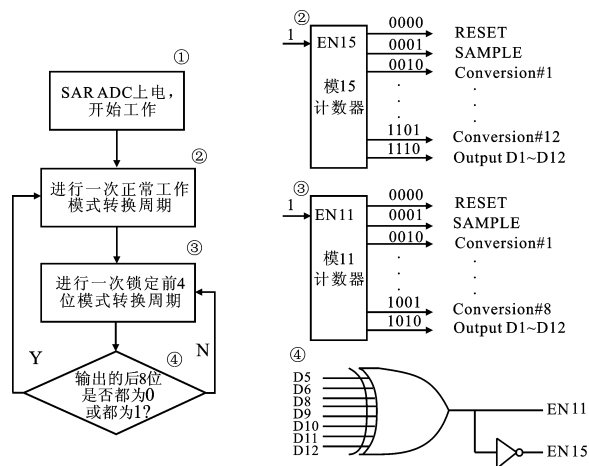


图 2 本文 SAR ADC 工作流程图

(1)系统上电,使能信号置 1,SAR ADC 开始工作.

(2)模 15 计数器开始工作,当计数器输出为 0000 时,系统处于 RESET 阶段,所有电容上下极板均接共模电压 V_{cm} (大小为 $V_{DD}/2$),比较器两端接共模电压,除保存数字输出的 D 触发器外,其他所有 D 触发器清零;当计数器输出为 0001 时,系统处于采样阶段,所有电容上极板接共模电压,下极板接模拟输入信号进行采样;当计数器输出为 0010 到 1101 时,系统处于转换阶段,按照正常的 SAR 逻辑完成 12 次比较,得到 12 位数字量;当计数器输出 1110 时,系统处于输出阶段,SAR ADC 向外输出 12 位数字量,至此一个正常工作周期完成.

(3)模 15 计数器停止工作,切换为模 11 计数器开始工作,当计数器输出 0000 时,系统处于 RESET 阶段,所有电容上下极板均接共模电压 V_{cm} ,比较器两端接共模电压,除保存数字输出的 D 触发器外,其他所有 D 触发器清零;当计数器输出为 0001 时,系统处于采样状态,所有电容上极板接共模电压,下极板接模拟输入信号进行采样;当计数器输出为 0010 时,前 4 位寄存器的输出直接控制前 4 组电容

的下极板接 VDD 或者是 GND, 然后对第 5 位进行一次正常的 SAR 逻辑转换; 当计数器的输出为 0011 到 1001 时, 系统处于转换状态, 按照正常的 SAR 逻辑完成剩下的 7 次比较, 得到总共 12 位数字量; 当计数器输出 1010 时, 系统处于输出状态, SAR ADC 向外输出 12 位数字量, 至此一个锁定前 4 位的工作周期完成。

(4) 完成一个锁定前 4 位的转换周期后, 需要判断步骤(3)中的模拟输入值所对应的正确数字输出值的前 4 位, 与步骤(2)中的相比是否发生了改变, 可以通过步骤(3)所得数字输出值的后 8 位来判断。排除后 8 位刚好为全 0 或者全 1 的小概率事件 (0.78%), 当步骤 3) 输出数字值后 8 位为全 0 或者全 1 时, 切换回正常工作模式; 当步骤(3)输出数字值后 8 位不为全 0 或者全 1 时, 继续进行锁定前 4 位的工作模式。

由上文和表 1 可以知道, 通过在模拟输入信号变化缓慢的情况下 (在一个 $2V_{DD}/16 = 137.5 \text{ mV}$ 的区间内变化) 锁定前 4 位的逻辑算法, 可以使 12 位 SAR ADC 采样速度提升 26.67%。

2.2 电容阵列部分

本文采用的电容阵列如图 3 所示。根据 SMIC 40 nm CMOS 工艺参数, 最终选定单位电容为 50 fF, 电容分为“7+4”两段, 使得整个电容阵列具有较小的采样电容, 较小的低段电容上极板对地的寄生电容, 同时电容失配不影响整个 ADC 的正常工作^[5-6]。当使用这种结构时, 由于共模电位的存在, 电容阵列本身并没有多余的电容切换, 因此在这种情况下本文所用新型 SAR 逻辑对电容阵列的功耗影响就比较小了, 但是采样速率的增加以及对于逻辑部分和比较器部分功耗的降低依旧存在。

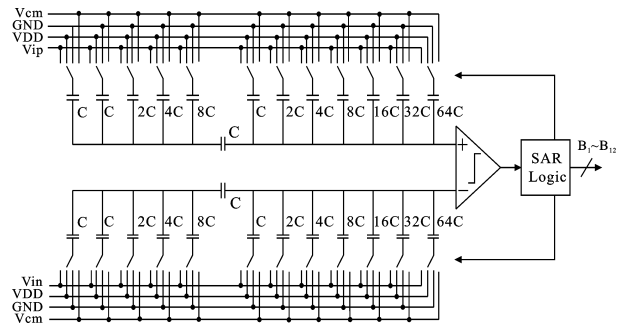


图 3 电容阵列结构图

2.3 比较器部分

本文所用比较器由 2 个相同的前置放大器和 1 个锁存器组成, 如图 4 所示, 前置放大器以 2 个

NMOS 管为输入管, 并加有 2 个交叉的 PMOS 管, 引入了弱正反馈, 可以在相同的增益下降低功耗, 两前置放大器级联后的增益为 46.6 dB, -3 dB 带宽为 32.5 MHz。锁存器由输入级和正反馈级组成, 当两个输入端电压出现大小差异时, 正反馈级会将这一差异放大, 使得相对应的输出端迅速被充电到 VDD 或是被放电到 GND。锁存器失调电压 V_{os} 的经验值一般为 210 mV, 考虑工艺偏差、温度等影响, 取 $V_{os} = 100 \text{ mV}$, 在 1.1 V 电源电压下, 则前置放大级的增益 A_v 应该满足至少 45.4 dB, 同时, 假设前置放大级工作于 -25 MHz 的时钟下, 则其 -3 dB 带宽应至少大于 25 MHz。可以看到, 该前置放大级的增益与带宽均满足了设计要求。

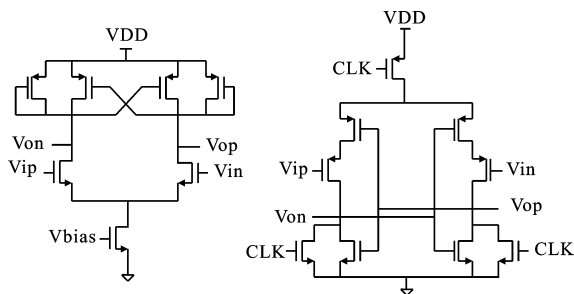


图 4 前置放大器与锁存器示意图

3 仿真结果

本文采用 SMIC 40 nm CMOS 工艺进行设计, 电源电压为 1.1 V。如图 5 所示为 SAR ADC 的功能性仿真, 5 个信号自上而下分别是模拟输入电压, P 端电容上极板电压, N 段电容上极板电压, 输出使能信号, 输出数字信号通过理想 DAC 转换得到的模拟电压。在 $0 \sim 2 \mu\text{s}$ 间, 模拟输入电压保持在 900 mV, ADC 经过最开始的一个完整转换, 获得前 4 位的锁定值, 然后开始锁定前 4 位工作, 输出电压一直保持在 900 mV (其中电容上极板变化较大的即为完整转换, 电容上极板变化较小的即为锁定前 4 位转换); 在 $2 \sim 6 \mu\text{s}$ 间, 模拟输入电压从 900 mV 降到 700 mV, 首先输出电压跟着输入电压同时下降, 等到输入电压使得输出数字量的后 8 位都为 0 时, ADC 又进行了一次完整的转换, 重新获得了前 4 位的锁定值, 然后再开始锁定前 4 位工作; 在 $6 \sim 8 \mu\text{s}$ 间, 模拟输入电压保持在 700 mV, ADC 的输出电压也始终保持在 700 mV。

如图 6 所示为该 SAR ADC 正常工作模式下的 DNL 和 INL 曲线, DNL 的最大值为 $+0.76/-0.42 \text{ LSB}$, INL 最大值为 $+1.22/-0.92 \text{ LSB}$ 。如图 7

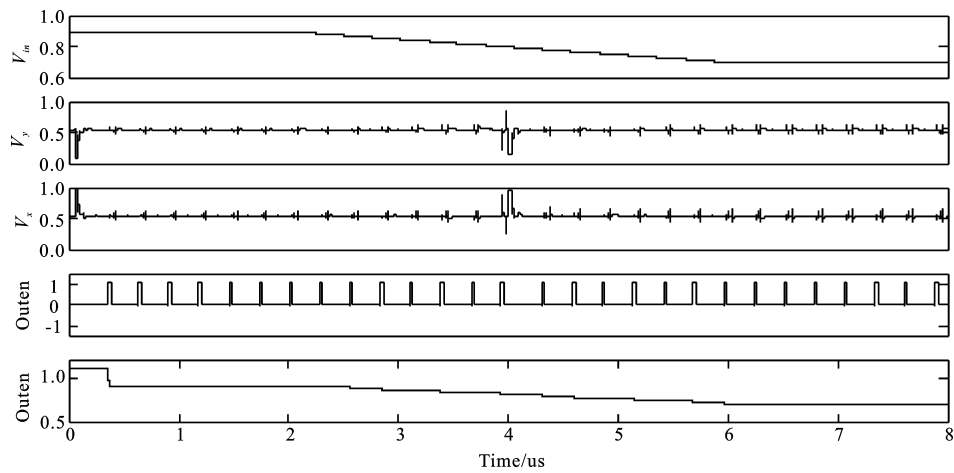


图 5 SAR ADC 功能性仿真图

所示为满幅输入,输入频率为 156 kHz 时,正常工作模式下的输出频谱图,可以看到其 SFDR 为 73.8 dB,SNDR 为 63.3 dB,ENOB 为 10.2Bit. 如图 8 所示为不同输入频率下对应的 SFDR 和 SNDR,可以看到当输入频率的范围为 156 kHz 到 1.3 MHz 时,SFDR 的范围为 61.1~73.8 dB ,SNDR 的范围为 56.2~63.3 dB.

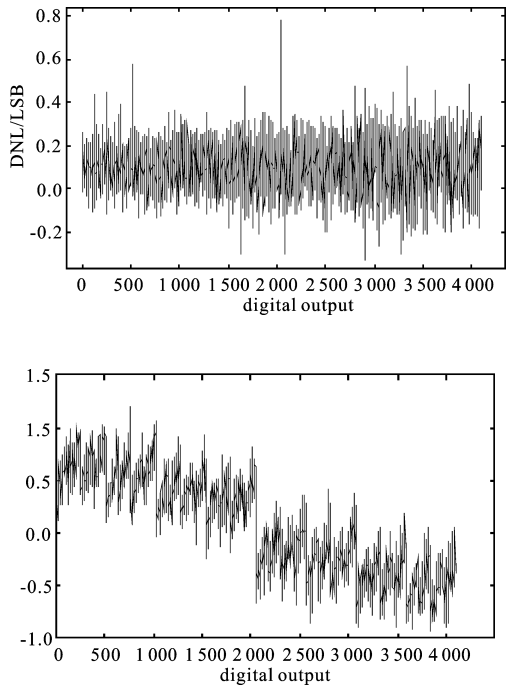


图 6 DNL 和 INL 曲线图

当 SAR ADC 工作在 3.6 MS/s 的采样率下时,平均功耗为 43 μ W,其品质因数 $FOM=10.1$ fJ/(conv. $\cdot$ step),对比其他文献,如表 2 所示,该 SAR ADC 的品质因数最小.

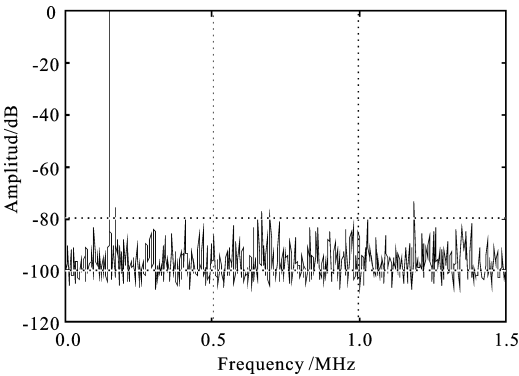


图 7 输入频率为 156kHz 时的输出频谱图

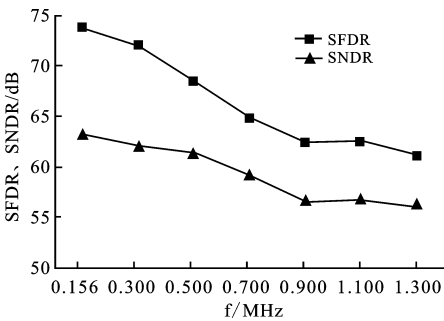


图 8 不同输入频率下 SFDR 和 SNDR

4 结束语

本文设计了一种低功耗的 SAR ADC,采用了新型的 SAR 逻辑算法,在传统 SAR 逻辑的基础上加入了当模拟输入信号变化缓慢时锁定前 4 位,仅转换后 8 位的算法,降低了功耗,提高了采样率,同时该算法可用于其它 SAR ADC,不会与其它降低功耗,或者提高采样速率的方法冲突. 仿真结果表明,通过该新型逻辑算法,相比于正常工作模式,锁定前 4 位工作模式使该 SAR ADC 的采样率从 2.7

表 2 ADC 整体性能比较

性能参数	文献[6]	文献[7]	文献[8]	文献[9]	本文
结构	SAR	Two-step SAR	Pipelined-SAR	SAR	SAR
工艺/nm	65	40	65	65	40
电源电压/V	1.2	1.1	1	1.1	1.1
精度/bit	12	12	12	10	12
采样速率/MSps	50	160	210	160	3.6
SFDR/dB	/	85.9	77.5	/	73.8
SNDR/dB	67.4	66.5	63.4	55.4	63.3
功耗/mW	2.1	4.96	5.3	2.72	0.043
FOM/fJ/(conv. · step)	21.9	17.7	20.9	35	10.1

MS/s 提高到 3.6 MS/s, FOM 从 15.8 fJ/(conv. · step)下降到 10.1 fJ/(conv. · step),同时当模拟输入信号变化不太大时,其静态、动态性能参数也不会受到太大影响.

参考文献:

[1] Kapusta R, Shen J, Decker S, et al. A 14 b 80MS/s SAR ADC with 73.6 dB SNDR in 65 nm CMOS [J]. IEEE J Sol Sta Circ, 2013, 48(12): 3059-3065.

[2] Huang C P, Lin J M, Shyu Y T, et al. A systematic design methodology of a synchronous SAR ADCs [J]. IEEE Trans VLSI Syst, 2016, 24(5): 1835-1848.

[3] Cheng-Hsun Ho, Soon-Jyh Chang, et al. A 3.9-fJ/cs. 0.5V 10bit 100-kS/s low power SAR ADC with time-based fixed window [C]// ISCAS, Melbourne VIC. Australia, 2014: 2345-2348.

[4] Liu W, Huang P, Chiu Y. A 12b 22.5/45MS/s 3.0mW 0.059mm2 CMOS SAR ADC achieving over 90dB SFDR [C]//ISSCC Dig. Tech. Papers. San Francisco, CA, USA. 2010: 380-381.

[5] Yao-Sheng Hu, Chi-Huai Shih, et al. A 0.6V 6.4 fJ/conversion-step 10-bit 150MS/s subranging SAR ADC in 40nm CMOS [C]//IEEE A-SSCC, 2014, KaoHsiung, Taiwan, 2014: 81-84.

[6] Verma N, Chandrakasan A P. A 25μW 100 kS/s 12 bit ADC for wireless micro-sensor applications [C]// IEEE Int Sol Sta Circ Conf. San Francisco, CA, USA, 2006:222-223.

[7] Chang A H, Leehs Boingd. A 12b 50MS/s 2.1 mW SAR ADC with redundancy and digital background calibration [C]//IEEE ESSCIRC 2013. Bucharest, Romania, 2013:109-112.

[8] Zhou Y, Xu B, Chiu Y, A 12b 160MS/s synchronous two-step SAR ADC achieving 20.7fJ/step FoM with opportunistic digital background calibration [C]// IEEE Symp. VLSI Circuits Dig. Tech. Papers, Honolulu, HI, USA,2014:1-2.

[9] Lin C Y, Lee T C. A 12bit 210MS/s 5.3mW Pipelined-SAR ADC with a passive residue transfer technique [C]// IEEE Symp. VLSI Circuits Dig. Tech. Papers, Honolulu, HI, USA. 2014:1-2.

[10] Zhu Y, Chanc H, Sins W, et al. A 35 fJ 10 b 160 MS/s pipelined-SAR ADC with decoupled flip-around MDAC and self-embedded offset cancelation [J]. IEEE J Sol Sta Circ, 2011, 47(11): 61-64.

作者简介:

黄添益 男,(1993-),硕士研究生.研究方向为数模混合集成电路设计. E-mail:514352652@qq.com.

王本艳 男,(1981-),硕士.研究方向为模拟集成电路设计.

景蔚亮 男,(1981-),博士.研究方向为数字集成电路设计及系统级电路设计.

宋志棠 男,(1963-),博士,研究员.研究方向为 PCM 的产业化.

陈邦明 男,(1963-),博士,研究员.研究方向为尖端微电子学.